17.1.2012

שלום וערב טוב,

1. לגבי הסיגנל pixels\_req שיוצא מה- vesa\_gen\_cntrl: כרגע נראה כך:

pixels\_req <= conv\_std\_logic\_vector((hor\_active\_pixels\_g - conv\_integer(left\_frame)) \* req\_lines\_g, integer(ceil(log(real(hor\_active\_pixels\_g \* req\_lines\_g)) / log(2.0((((;

לא טוב. פה יש באג.

זה זהה למה שקיים אצל בארי בSVN, אבל קיים אצלנו קובץ אחר (כנראה שונה ע"י בארי שוב) שבו יש תוספת של right frame:

pixels\_req <= conv\_std\_logic\_vector((hor\_active\_pixels\_g - conv\_integer(left\_frame) - conv\_integer(right\_frame)) \* req\_lines\_g, integer(ceil(log(real(hor\_active\_pixels\_g \* req\_lines\_g)) / log(2.0((((;

זה הקובץ הנכון. נא להחליף.

חוץ מזה, שאלתי על הערך עצמו. דרכו אתם צריכים לראות שיש באג. הרי אמור להיות 3 כפול 640. האם כך? יתכן והערך הלא נכון הזה, משפיע לא טוב על ה- pixel manager שלכם.

1. לגבי תיעוד סימולציות בSVN- הכוונה להעלות את קבצי הסימולציות wvf?

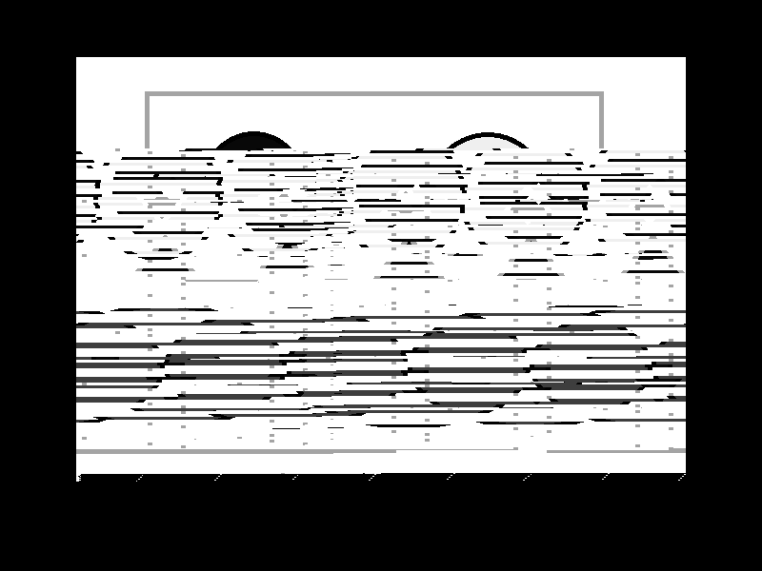
לא. רק לקבצי הטקסט / BMP המוזרקים כ- input, והמקרו שגורמים לסימולציה לרוץ.

1. במסמך פרויקט – האם יש צורך לתאר את תפקודם של הרכיבים של המערכת של בארי?

לא. רק לציין אותם, ולציין את הלינק ב- SVN שהם ממוקמים.

1. ניסינו להריץ שוב סימולציה עם תמונת כניסה ברזולוציה 480\*640. התוצאה שהתקבלה- נראה שהרבע העליון של התמונה מתקבל היטב, השאר מקבל מעין OFFSET (לא תמיד אחיד).

להלן דוגמא:





ניסינו להבין איפה הבעיה ולא הצלחנו, נזדקק כאן לעזרה. ניסינו להביט גם ב-WAVE ולא הצלחנו להבין מה לא בסדר.

כאמור, לדעתי, יש באג במה שמוזכר בסעיף 1 במסמך זה. בנוסף, כדי לדבג – מסתכלים על ה- wave בכמה מקומות מקומות: כניסת הווישבון שיוצאת מה- mem mng ל- display top (ל- pixel mng), הכניסה ל- sc fifo, היציאה מה- sc fifo (שהיא הכניסה ל- dc fifo), והיציאה מה- dc fifo.

לבדוק, היכן מתפספס ומשתנה משהו מהדרגה הקודמת. אם הכול זהה, אז הבעיה היא מקודם, וזה אומר בכתיבה ל- sdram אבל קשה לי להאמין. אפשר גם כל wr\_en ל- fifo לרשום לקובץ טקסט את המידע, ואז (לאחר הסימולציה) לקחת את קובץ הטקסט ולהמיר אותו ל- BMP, ברזולוציה 640x480 ולבדוק שאותה תופעה לא רצויה קיימת.

אפשר גם לבדוק אם יש full באחד ה- fifo-ים.

משה